

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-168745

(43)Date of publication of application : 13. 06. 2003

(51)Int. Cl. H01L 21/8242
B82B 1/00
H01L 27/108

(21)Application number : 2002- (71)Applicant : IND TECHNOL RES INST
181128

(22)Date of filing : 21. 06. 2002 (72)Inventor : LEE CHUN-TAO
RI SEICHU
TSUI BING-YUE

(30)Priority

Priority	2001 90129368	Priority	28.11.2001	Priority	TW
number :		date :		country :	

(54) METHOD OF INCREASING CAPACITANCE OF INTEGRATED CIRCUIT ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of increasing the capacitance of an integrated circuit element employing a nano-tube and contrive simplification of the process as well as reduction of the manufacturing cost.

SOLUTION: The method of increasing the capacitance of the integrated circuit element is constituted of a step for patterning a catalyst area on a substratea step for forming a nano-tubea nano-wire or a nano-belt on the catalyst areaa step for forming a first dielectric layer on the nano-tubethe nano-wire or the nano-belt and the substrateand a step for forming an electrode layer on the first dielectric layer. According to this methodthe nano-tubethe nano-wire or the nano-belt is employed as the area of a capacitor electrode whereby the capacitance of the integrated circuit element can be increased without widening the bottom area itself of the capacitor electrode.

CLAIMS

[Claim(s)]

[Claim 1] A method to which capacity of an integrated circuit device is made to increase comprising:

A step which patterns a catalyst field on a substrate.

A step which forms a nanotube nanowire or a nano belt on said catalyst field.

A step which forms the 1st dielectric layer on said nanotube nanowire or a nano belt and said substrate.

A step which forms an electrode layer on said 1st dielectric layer.

[Claim 2] A method according to claim 1 of being what contains further a step which forms a metal layer between said nanotube nanowire or a nano belt and said 1st dielectric layer.

[Claim 3] A method according to claim 1 of being a thing characterized by comprising the following.

A step to which a step which patterns a catalyst field on said substrate diffuses solution of metal catalyst ion content to a predetermined field in said substrate further.

A step which performs an annealing process.

[Claim 4] A method to which capacity of the integrated circuit device according to claim 1 which is that in which a step which patterns a catalyst field on said substrate contains a step which pours a metal catalyst into a predetermined field in said substrate by an ion implantation is made to increase.

[Claim 5] A method to which capacity of the integrated circuit device according to claim 1 which is a thing characterized by comprising the following is made to increase.

A step at which a step which patterns a catalyst field on said substrate forms a metal catalyst layer on said substrate.

A step which forms a photoresist layer on said metal catalyst layer.

A step which performs a photo lithography process.

[Claim 6] A method to which capacity of the integrated circuit device according to claim 1 which is that in which a step which forms a nanotube on said catalyst field contains a step which introduces cracked gas by a chemical-vapor-deposition method on said catalyst field under conditions of predetermined plasma is made to increase.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the method of enlarging capacity of DRAM by using a nanotube nanowire or a nano belt especially about the method to which the capacity of an integrated circuit (IC) element is made to increase.

[0002]

[Description of the Prior Art] The storage cell of DRAM by conventional technology comprises one transistor and one capacitor and the miniaturization of the transistor is progressing with technical development. If the size of a transistor becomes small the necessity of also reducing the area of a capacitor electrode will come out but the capacity will also become small if the area of a capacitor electrode becomes small. The capacity of the storage cell in DRAM must have sufficient size to such an extent that it can maintain predetermined voltage. Therefore in order to solve this problem some methods of increasing the surface area of a capacitor electrode were indicated. Usually it is performed by the method that these methods dig or (trenching) laminate a trench (stacking).

[0003]

[Problem(s) to be Solved by the Invention] However in the method mentioned above since each requires a complicated process a manufacturing cost cannot be held down low. Since these methods have the physical restriction produced by using photolithography technology even if they can enlarge area of a capacitor electrode there is a limit in the effect.

[0004] Then in order to conquer the fault mentioned above the purpose of this invention is to provide the method to which the capacity of an integrated circuit device is made to increase using a nanotube.

[0005]

[Means for Solving the Problem] In view of an above-mentioned problem a method to which capacity of an integrated circuit device concerning this invention is made to increase A step which patterns a catalyst field on a substrate and a step which forms a nanotube nanowire or a nano belt on a catalyst field a step which forms the 1st dielectric layer on a nanotube nanowire or a nano belt and a substrate a step which forms an electrode layer on the 1st dielectric layer** et al. -- so-called -- it is .

[0006] Capacity can be made to increase by using a nanotube nanowire or a

nano belt as a capacitor electrode field according to a method of this invention without extending the area of base of a capacitor electrode itself. A process is facilitated by this and reduction of a manufacturing cost is attained by it.

[0007]

[Embodiment of the Invention] Based on an example it explains in detail making a drawing reference so that this invention may be understood more clearly. First in drawing 1 (a) the catalyst field 12 is patterned on the substrate 10. There are several sorts in the method of patterning the catalyst field 12 on the substrate 10. For example as the 1st method diffuse the solution of metal catalyst ion content in the predetermined region (namely catalyst field 12) on the substrate 10 (not shown) and it ranks second. The thing containing the step which performs an annealing process and makes the solution of metal catalyst ion content condense and in which a metal catalyst group (metal catalyst group) is made to form is mentioned. The catalyst field 12 is patterned by this. The solution containing this metal catalyst ion is preferred in their being solution of nickel ion content or solution of iron ion content.

[0008] There is a thing containing the step which pours in a metal catalyst by an ion implantation as the 2nd method on the predetermined field (getting it blocked catalyst field 12) in the substrate 10. The catalyst field 12 is patterned by this. This metal catalyst is preferred in their being nickel or iron.

[0009] From depositing a metal catalyst layer on the substrate 10 the 3rd method forms the photoresist layer which has a predetermined pattern on the metal catalyst layer and contains the step of patterning the catalyst field 12 according to a photo lithography process after that (not shown). As for this metal catalyst layer it is preferred to comprise nickel or iron.

[0010] Next in drawing 1 (b) the carbon nanotube 20 is formed on the catalyst field 12. Under the condition of predetermined plasma the step which forms the carbon nanotube 20 on the catalyst field 12 introduces cracked gas on the catalyst field 12 by a chemical-vapor-deposition method (CVD) (not shown). As this cracked gas methane (CH_4) ethane (C_2H_6) or carbon dioxide (CO_2) is preferred.

[0011] Then the 1st dielectric layer 40 is deposited on the carbon nanotube 20 and the substrate 10. Under the present circumstances at the same time as it enlarges surface area of the carbon nanotube 20 in order to improve the adhesion between the carbon nanotube 20 and the 1st dielectric layer 40 as the metal layer 30 is made to form before depositing the 1st dielectric layer 40 on the carbon nanotube 20 as shown

in drawing 1 (c) and shown in drawing 1 (d) after that it is good to deposit the 1st dielectric layer 40 on the metal layer 30. Forming by sputtering is preferred for this metal layer 30.

[0012] Finally in drawing 1 (e) the electrode layer 50 is deposited on the 1st dielectric layer 40.

[0013] The carbon nanotube 20 is a cylinder with the diameter of the NANOMETORU class and has high conductivity and the large aspect ratio similar to metal. Therefore capacity can be made to increase by forming a carbon nanotube as a bottom electrode on the capacitor electrode surface of an integrated circuit device as mentioned above without extending the area of base of a capacitor electrode. Such a process is easy and moreover enables the fall of a manufacturing cost. In applying the process mentioned above to DRAM when capacity increased the stability of the data save of a storage cell also increases. Other nanotubes, nanowire or nano belts may be used instead of the carbon nanotube 20.

[0014] In drawing 1 (f) the 2nd dielectric layer 60 is formed and the electrode layer 50 is covered. Flattening may be performed to this 2nd dielectric layer 60.

[0015] As mentioned above although the suitable embodiment explained this invention this does not tend to restrict this invention and if it is a person skilled in the art unless it deviates from the pneuma and the range of this invention various kinds of change and ornamentation can be added. Therefore the range of protection of this invention must be based on the above-mentioned claim.

[0016]

[Effect of the Invention] Capacity can be made to increase since a nanotube, nanowire or a nano belt was used as a capacitor electrode field according to this invention as explained above without extending the area of base of a capacitor electrode. A process is facilitated by this and a manufacturing cost can be reduced by it. About application to DRAM of this invention when capacity increases the stability of the data save of a storage cell also increases.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (f) is an explanatory view explaining the method to which the capacity of the integrated circuit device by this invention is made to increase from (a).

[Description of Notations]

10 Substrate

12 Catalyst field

20 Carbon nanotube

30 Metal layer

40 The 1st dielectric layer

50 Electrode layer

60 The 2nd dielectric layer

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-168745
(P2003-168745A)

(43)公開日 平成15年6月13日(2003.6.13)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト(参考)
H 0 1 L 21/8242		B 8 2 B 1/00	Z N M 5 F 0 8 3
B 8 2 B 1/00	Z N M	H 0 1 L 27/10	6 2 1 B
H 0 1 L 27/108			6 6 1

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願2002-181128(P2002-181128)
(22)出願日 平成14年6月21日(2002.6.21)
(31)優先権主張番号 0 9 0 1 2 9 3 6 8
(32)優先日 平成13年11月28日(2001.11.28)
(33)優先権主張国 台湾 (T W)

(71)出願人 390023582
財団法人工業技術研究院
台湾新竹縣竹東鎮中興路四段195號
(72)発明者 李 鈞道
台湾新竹市▲なん▼雅街187巷66-1号2
樓
(72)発明者 李 正中
台湾台東市開封街592巷100号
(72)発明者 崔 秉鉞
台湾台北市文山区保儀路138巷22号
(74)代理人 100070150
弁理士 伊東 忠彦 (外2名)

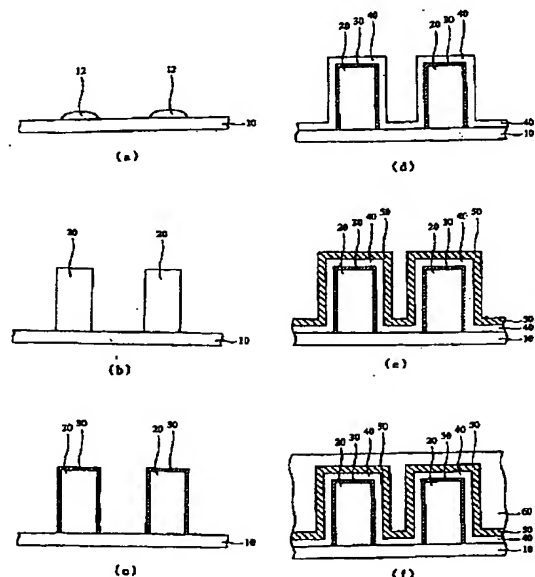
最終頁に続く

(54)【発明の名称】 集積回路素子の容量を増加させる方法

(57)【要約】

【課題】 ナノチューブを用いた集積回路素子の容量を増加させる方法を提供し、プロセスの簡便化および製造コストの引き下げを図る。

【解決手段】 基板上に触媒領域をパターンニングするステップと、触媒領域上にナノチューブまたはナノワイヤー或いはナノベルトを形成するステップと、ナノチューブまたはナノワイヤー或いはナノベルトおよび基板上に第1誘電層を形成するステップと、第1誘電層上に電極層を形成するステップと、からなる。この方法によれば、コンデンサ電極の領域としてナノチューブまたはナノワイヤー或いはナノベルトを用いているため、コンデンサ電極の底面積自体を広げることなく容量を増加させることができる。



【特許請求の範囲】

【請求項 1】 集積回路素子の容量を増加させる方法であって、
基板上に触媒領域をパターンニングするステップと、
前記触媒領域上にナノチューブまたはナノワイヤー或いはナノベルトを形成するステップと、
前記ナノチューブまたはナノワイヤー或いはナノベルト、および前記基板上に第 1 誘電層を形成するステップと、
前記第 1 誘電層上に電極層を形成するステップとを含む方法。

【請求項 2】 前記ナノチューブまたはナノワイヤー或いはナノベルトと、前記第 1 誘電層との間に、金属層を形成するステップを更に含むものである請求項 1 記載の方法。

【請求項 3】 前記した基板上に触媒領域をパターンニングするステップが、更に、
前記基板における所定の領域に、金属触媒イオン含有の水溶液を拡散するステップと、
アニール工程を行うステップとを含むものである請求項 1 記載の方法。

【請求項 4】 前記した基板上に触媒領域をパターンニングするステップが、
前記基板における所定の領域に、イオン注入によって金属触媒を注入するステップを含むものである請求項 1 記載の集積回路素子の容量を増加させる方法。

【請求項 5】 前記した基板上に触媒領域をパターンニングするステップが、
前記基板上に金属触媒層を形成するステップと、
前記金属触媒層上にフォトリソスト層を形成するステップと、
フォトリソグラフィ工程を行うステップとを含むものである請求項 1 記載の集積回路素子の容量を増加させる方法。

【請求項 6】 前記した触媒領域上にナノチューブを形成するステップが、
所定のプラズマの条件下で、前記触媒領域上に化学気相成長法によって分解ガスを導入するステップを含むものである請求項 1 記載の集積回路素子の容量を増加させる方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、集積回路（IC）素子の容量を増加させる方法に関し、特に、ナノチューブ、ナノワイヤーまたはナノベルトを用いることで DRAM の容量を大きくする方法に関する。

【0002】

【従来の技術】 従来技術による DRAM の記憶セルは、1 つのトランジスタと 1 つのコンデンサとから構成されており、技術の発展に伴ってトランジスタの小型化が進ん

でいる。トランジスタのサイズが小さくなれば、コンデンサ電極の面積も縮小する必要が出てくるが、コンデンサ電極の面積が小さくなると、その容量も小さくなってしまう。DRAM における記憶セルの容量は、所定の電圧を維持できる程度に十分な大きさがなければならぬ。よって、この問題を解決するために、コンデンサ電極の表面積を増大させるいくつかの方法が開示された。これらの方法は、トレンチを掘る（トレンチング）、或いは積層する（スタッキング）といった方式により行われるのが通常である。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した方法では、いずれも複雑なプロセスを要するので、製造コストを低く抑えることはできない。また、これらの方法は、コンデンサ電極の面積を大きくすることはできても、フォトリソグラフィ技術を用いることで生じる物理的な制限があるため、その効果には限界がある。

【0004】 そこで、上述した欠点を克服するため、本発明の目的は、ナノチューブを用いて集積回路素子の容量を増加させる方法を提供することにある。

【0005】

【課題を解決するための手段】 上述の問題に鑑みて、本発明に係る集積回路素子の容量を増加させる方法は、基板上に触媒領域をパターンニングするステップと、触媒領域上にナノチューブまたはナノワイヤー或いはナノベルトを形成するステップと、ナノチューブまたはナノワイヤー或いはナノベルトおよび基板上に第 1 誘電層を形成するステップと、第 1 誘電層上に電極層を形成するステップと、からなるものである。

【0006】 本発明の方法によれば、コンデンサ電極領域としてナノチューブまたはナノワイヤー或いはナノベルトを用いることで、コンデンサ電極の底面積自体を広げることなく容量を増加させることができる。これによって、プロセスが簡便化されると共に、製造コストの低減が可能となる。

【0007】

【発明の実施の形態】 本発明がより明確に理解されるよう、図面を参照にしながら、実施例に基づいて詳細に説明する。まず、図 1（a）において、触媒領域 12 を基板 10 上にパターンニングする。触媒領域 12 を基板 10 上にパターンニングする方法には何種かある。例えば、第 1 の方法として、金属触媒イオン含有の水溶液を基板 10 上の所定領域（即ち、触媒領域 12）に拡散し（図示せず）、次いで、アニール工程を実行して金属触媒イオン含有の水溶液を凝集させ、金属触媒群（metal catalyst group）を形成させるステップを含むものが挙げられる。これによって、触媒領域 12 がパターンニングされる。この金属触媒イオンを含有する水溶液は、ニッケルイオン含有の水溶液または鉄イオン含有の水溶液であると好ましい。

【0008】また、第2の方法としては、基板10における所定の領域（つまり、触媒領域12）上に、イオン注入によって金属触媒を注入するステップを含むものがある。これによって、触媒領域12がパターンニングされる。この金属触媒は、ニッケル或いは鉄であると好適である。

【0009】第3の方法は、基板10上に金属触媒層を堆積して（図示せず）から、その金属触媒層上に所定のパターンを有するフォトリソスト層を形成し、その後フォトリソグラフィ工程により触媒領域12をパターンニングするというステップを含むものである。この金属触媒層は、ニッケルまたは鉄から構成されていることが好ましい。

【0010】次に、図1（b）において、カーボンナノチューブ20を触媒領域12上に形成する。カーボンナノチューブ20を触媒領域12上に形成するステップは、所定のプラズマの条件下において、分解ガスを化学気相成長法（CVD）によって触媒領域12上に導入する（図示せず）というものである。この分解ガスとしては、メタン（ CH_4 ）、エタン（ C_2H_6 ）または二酸化炭素（ CO_2 ）が好ましい。

【0011】続いて、第1誘電層40をカーボンナノチューブ20および基板10の上に堆積する。この際、カーボンナノチューブ20の表面積を大きくすると同時に、カーボンナノチューブ20と第1誘電層40との間の密着性を高めるため、図1（c）に示すように、カーボンナノチューブ20上に第1誘電層40を堆積する前に金属層30を成膜させ、その後、図1（d）に示すように、第1誘電層40を金属層30上に堆積するとよい。なお、この金属層30はスパッタリングにより形成するのが好適である。

【0012】最後に、図1（e）において、電極層50を第1誘電層40上に堆積する。

【0013】カーボンナノチューブ20はナノメートル級の直径を持つ円筒であり、金属に類似する高導電性ならびに大横縦比を有している。よって、上述したように、集積回路素子のコンデンサ電極表面上にカーボンナノチューブを底部電極として形成することで、コンデン

サ電極の底面積を広げることなしに容量を増加させることができる。こうしたプロセスは簡単で、なお且つ製造コストの低下を可能とする。更に、上述したプロセスをDRAMに適用するにつき、容量が増大されたことによって記憶セルのデータセーブの安定性も高まる。また、カーボンナノチューブ20の代わりに、その他のナノチューブ、またはナノワイヤー若しくはナノベルトを用いてもよい。

【0014】更に、図1（f）において、第2誘電層60を形成して電極層50を被覆する。この第2誘電層60に対して平坦化を行ってもよい。

【0015】以上、本発明を好適な実施形態により説明したが、これによって本発明を制限しようとするものではなく、当業者であれば、本発明の精神および範囲を逸脱しない限りにおいて各種の変化ならびに修飾を加えることができる。よって、本発明の保護の範囲は、上記の特許請求の範囲を基準としなければならない。

【0016】

【発明の効果】以上説明したように、本発明によればコンデンサ電極領域としてナノチューブまたはナノワイヤー或いはナノベルトを用いたため、コンデンサ電極の底面積を広げることなく容量を増加させることができる。これによって、プロセスが簡便化されると共に、製造コストを引き下げることができる。また、本発明のDRAMへの適用につき、容量が増大されることにより、記憶セルのデータセーブの安定性も高まる。

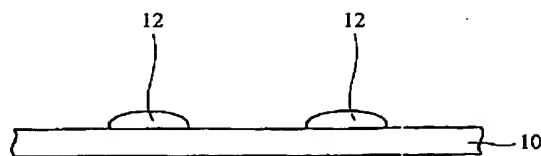
【図面の簡単な説明】

【図1】（a）から（f）は、本発明による集積回路素子の容量を増加させる方法を説明する説明図である。

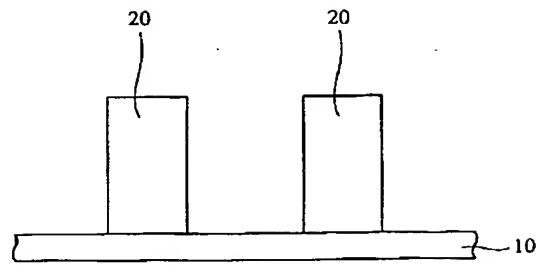
【符号の説明】

- 10 基板
- 12 触媒領域
- 20 カーボンナノチューブ
- 30 金属層
- 40 第1誘電層
- 50 電極層
- 60 第2誘電層

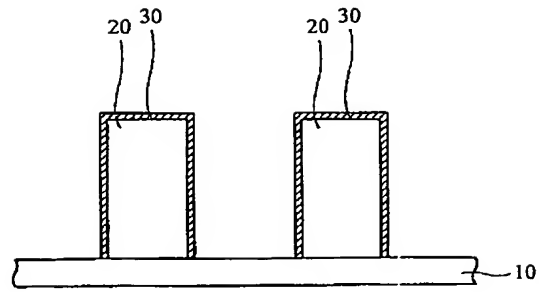
【図1】



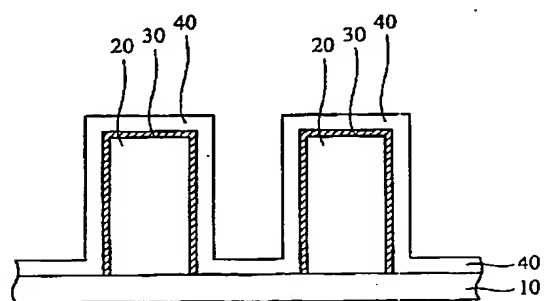
(a)



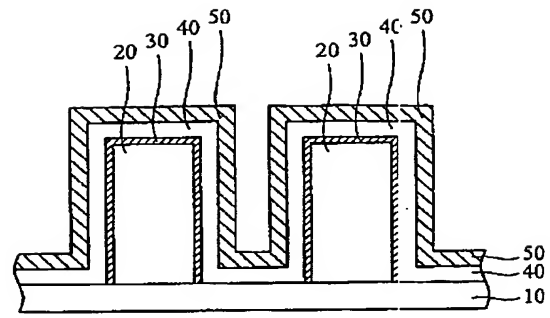
(b)



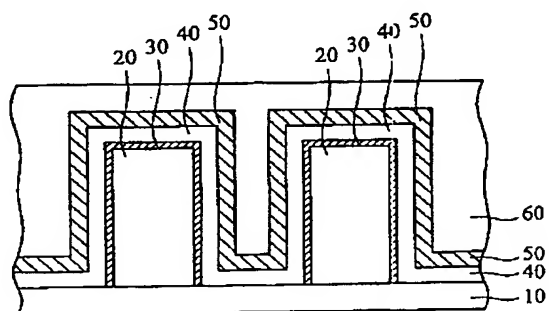
(c)



(d)



(e)



(f)

フロントページの続き

Fターム(参考) 5F083 AD21 AD42 AD61 GA09 JA60
PR21